

# SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE USING INPUT PROTECTING CIRCUIT

**Publication number:** JP2283070

**Publication date:** 1990-11-20

**Inventor:** YOSHIDA YUTAKA

**Applicant:** FUJI ELECTRIC CO LTD

**Classification:**

- International: H01L29/78; H01L21/8234; H01L27/088; H01L29/66;  
H01L21/70; H01L27/085; (IPC1-7): H01L27/088;  
H01L29/784

- European:

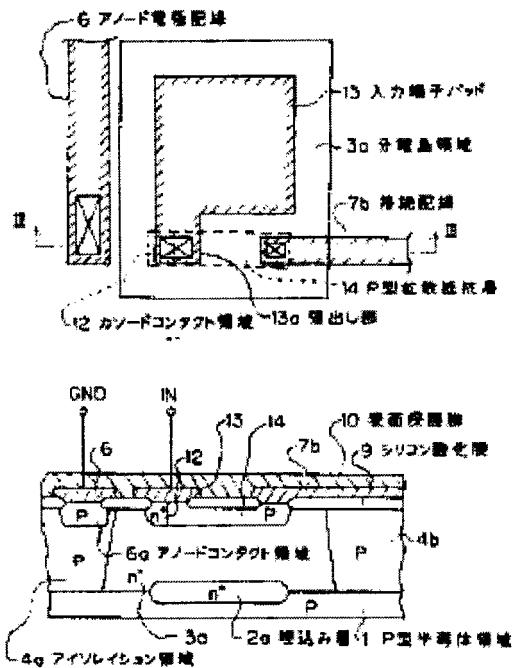
**Application number:** JP19890105227 19890425

**Priority number(s):** JP19890105227 19890425

[Report a data error here](#)

## Abstract of JP2283070

**PURPOSE:** To reduce the size and cost of a chip by forming a current limiting resistor layer and a resistor protecting diode on a sole isolating insular region under an input terminal pad. **CONSTITUTION:** This semiconductor structure is formed with a current limiting resistor R and a resistor protecting diode D2 in a low concentration N-type isolating insular region 3a formed by dividing an epitaxially grown layer on a P-type semiconductor substrate 1 by P-type isolation regions 4a, 4b. The diode D2 has the region 4a as an anode region and the region 3a as a cathode region. Thus, since the resistor R and the diode D2 are formed in the region 3a and the region 4a for forming it, a chip size can be reduced by densifying the formation of elements of an input protecting circuit.



Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

## ⑫ 公開特許公報 (A) 平2-283070

⑬ Int.CI.<sup>3</sup>H 01 L 29/784  
27/088

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)11月20日

8422-5F H 01 L 29/78 301 K  
7735-5F 27/08 102 F

審査請求 未請求 請求項の数 1 (全4頁)

⑤ 発明の名称 入力保護回路を備えた半導体集積回路装置

⑥ 特願 平1-105227

⑦ 出願 平1(1989)4月25日

⑧ 発明者 吉田 豊 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑨ 出願人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

⑩ 代理人 弁理士 山口巖

## 明細書

1. 発明の名称 入力保護回路を備えた半導体集積回路装置

## 2. 特許請求の範囲

1) 絶縁ゲート電界効果型トランジスタのゲートと接地との間に接続されたゲート電圧制限ダイオードと、該ゲートと入力端子パッドとの間に接続された電流制限抵抗層と、該入力端子パッドに導電接觸するコンタクト領域の属する分離島領域およびこれを区画するアイソレイション領域で構成された抵抗保護ダイオードとを有する入力保護回路を備えた半導体集積回路装置において、該電流制限抵抗層は、該入力端子パッド下の該分離島領域にて該コンタクト領域に隣接すると共に、該入力端子パッドに一部導電接觸し、該コンタクト領域とは逆導電型層として形成されていることを特徴とする入力保護回路を備えた半導体集積回路装置。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、絶縁ゲート電界効果型トランジスタ

のゲート絶縁破壊を防止すべき入力保護回路を備えた半導体集積回路装置に関し、特に、入力保護回路の半導体構造に関する。

## 〔従来の技術〕

従来、絶縁ゲート電界効果型トランジスタを備えた半導体集積回路装置には、第4図に示すような入力保護回路を有するものが知られている。第4図中、Mは絶縁ゲート電界効果型トランジスタで、このゲートGと接地(GND)との間にはゲート電圧制限ダイオードD1が接続され、またゲートGは電流制限抵抗Rを介して入力端子INに接続されている。更に入力端子INと接地との間には抵抗保護ダイオードD2が接続されている。なお、D3は寄生ダイオードで、これには導通防止用の電源電圧Vccが印加されている。

ゲート電圧制限ダイオードD1のブレークダウン電圧は絶縁ゲート電界効果型トランジスタMのゲート酸化膜破壊電圧より低く設定されている。入力端子INに対し正極性でゲート酸化膜破壊電圧以上の高耐圧のサーチが印加された場合には、

ゲート電圧制限ダイオード D 1 のブレイクダウンが起こり、電流が電流制限抵抗 R、ゲート電圧制限ダイオード D 2 を介して接地 (GND) に流れ込み、これによりゲート G は絶縁破壊から保護される。一方、入力端子 IN に対し負極性のサージが印加された場合、電流が抵抗保護ダイオード D 2 を介して接地側から入力端子 IN へ流れるので、過大電流による電流制限抵抗 R の破壊を防ぐことができる。

ところで、上記の入力保護回路における第4図示破線内の電流制限抵抗 R および抵抗保護ダイオード D 2 は、第5図に示す半導体構造とされている。第5図中、1はp型半導体基板で、この上には高濃度n型埋込み層2a、2bが形成されている。3a、3bはp型半導体基板1上の低濃度n型のエピタキシャル成長層をp型アイソレイション領域4a、4b、4cで画成した分離島領域である。分離島領域3a上に拡散形成された高濃度n型のカソードコンタクト領域5aには入力端子パッド5が導電接触されている。この分離島領域

3aを区画するp型アイソレイション領域4a上にはp型のアノードコンタクト領域6aを介して導電接触する接地されたアノード電極配線6が設けられている。p型アイソレイション領域4aとn型の分離島領域3aとは抵抗保護ダイオードD2を構成している。一方、分離島領域3aに隣る分離島領域3bには、電流制限抵抗Rとしてのp型拡散抵抗層7が形成されている。このp型拡散抵抗層7の一端は接続配線7aを介して分離島領域3a上の入力端子パッド5に接続されており、その他端は接続配線7bを介して他の分離島領域(図示せず)内に作り込まれた絶縁ゲート電界効果型トランジスタMのゲートGに接続されている。このp型拡散抵抗層7とn型分離島領域3bは寄生ダイオードD3を構成しているが、その寄生ダイオードを不能化するため、分離島領域3bの高濃度n型コンタクト領域8には電源電圧Vccが印加される。なお、9はシリコン酸化膜で、10は表面保護膜である。

[発明が解決しようとする課題]

しかしながら、上記の入力保護回路の半導体構造にあっては、電流制限抵抗 R は分離島領域 3b 内に p 型拡散抵抗層 7 として形成され、抵抗保護ダイオード D 2 は別の分離島領域 3a およびそれを画成するアイソレイション領域 4a を用いて構成されており、保護素子が夫々異なる分離島領域に作り込まれていることから、素子占有面積が大きくなり、チップサイズの大型化を招く。

そこで、本発明の課題は、单一の分離島領域内に入力保護回路の電流制限抵抗および抵抗保護ダイオードを共に作り込むことによって、素子占有面積の小型化を実現した入力保護回路を備えた半導体集積回路装置を提供することにある。

#### [課題を解決するための手段]

上記課題を解決するために、本発明の講じた手段は、抵抗保護ダイオードのコンタクト領域が形成された分離島領域内に、そのコンタクト領域に隣接すると共にそれと逆導電型の電流制限抵抗層を形成し、上記分離島領域上にコンタクト領域および電流制限抵抗層の一部と導電接触する入力端

子パッドを設けたものである。

#### [作用]

かかる手段によれば、入力端子パッド下の单一の分離島領域には電流制限抵抗層と抵抗保護ダイオードが形成されているので、従来に比して1つの分離島領域を節約することができ、チップサイズの小型化およびコストダウンを図ることができる。

#### [実施例]

次に、本発明の一実施例を添付図面に基づいて説明する。

第1図は本発明の一実施例における入力保護回路を示す回路構成図である。図中、Mは絶縁ゲート電界効果型トランジスタ、D1はそのゲートGと接地間に接続されたゲート電圧制限ダイオード、RはゲートGと入力端子INとの間に接続された電流制限抵抗、D2は入力端子と接地間に接続された抵抗保護ダイオードである。

第2図は同入力保護回路に係る半導体構造の平面図で、第3図は第2図中のⅢ-Ⅲ線に沿って切

断した状態を示す切断矢視図である。

この半導体構造においては、p型半導体基板1上のエピタキシャル成長層をp型アイソレイション領域4a, 4bで区画して形成された低濃度n型の分離島領域3a内に、電流制限抵抗Rおよび抵抗保護ダイオードD2が作り込まれている。抵抗保護ダイオードD2は、p型アイソレイション領域4aをアノード領域とし、n型分離島領域3aをカソード領域とするものである。アイソレイション領域4a上のp型のアノードコンタクト領域6aには接地されたアノード電極配線6が導電接触している。底部に高濃度n型の埋込み層2aを有する分離島領域3aには高濃度n型のカソードコンタクト領域12が形成され、このコンタクト領域12は入力端子パッド13の張出し部13aの一部に導電接触している。また、この分離島領域3aにはカソードコンタクト領域12に隣接するp型拡散抵抗層14が形成されている。p型拡散抵抗層14のうちコンタクト領域12側の部分は入力端子パッド13の張出し部13aに導電接触しており、その反

対側の部分はゲートGに導通する接続配線7aに接觸している。

次に、上記の半導体構造の製造方法を説明すると、まず、p型半導体基板1上に高濃度n型の埋込み層2aを形成し、その上に低濃度n型のエピタキシャル層を成長させ、p型アイソレイション領域4a, 4bを形成して分離島領域3aを画成する。次に、p型拡散によりアノードコンタクト領域6aおよびp型拡散抵抗層14を同時に形成した後、p型拡散抵抗層14の隣接領域に高濃度n型拡散によりカソードコンタクト領域12を形成する。しかる後、シリコン酸化膜9にコンタクトホールを開孔し、アルミニウム蒸着とエッティングによりアノード電極配線6、入力端子パッド13および接続配線7bを同時に形成し、その上に表面保護膜10を被着する。この製造プロセスにおけるアノードコンタクト領域6aおよびp型拡散抵抗層14のp型拡散はバイポーラ部のベース拡散、CMOS部のpチャネル絶縁ゲート電界効果型トランジスタのソースおよびドレイン拡散と兼用でき、その

表面濃度は $10^{11} \sim 10^{12} \text{ cm}^{-3}$ である。またカソードコンタクト領域12のn型拡散はバイポーラ部のエミッタ拡散、CMOS部のNチャネル絶縁ゲート電界効果型トランジスタのソースおよびドレイン拡散と兼用できる。したがって、プロセス工程の追加なしに、電流制限抵抗Rおよび抵抗保護ダイオードD2の作り込みが可能である。

このように、単一の分離島領域3aおよびこれを画成するアイソレイション領域4aに電流制限抵抗Rおよび抵抗保護ダイオードD2が作り込まれているので、入力保護回路の素子形成の緻密化によりチップサイズの小型化が実現される。従来の入力保護回路では1端子当たりのレイアウト面積は約 $0.2 \text{ mm}^2$ 必要であったが、本実施例によれば、その約半分の $0.1 \text{ mm}^2$ で済む。例えば、20入力端子を有する半導体集積回路装置における入力保護回路の総面積は、従来 $4 \text{ mm}^2$ 必要であったが、本実施例では約 $2 \text{ mm}^2$ で済み、その削減効果は全チップ面積の10~30%にも及び、これはコストダウンに有効である。

#### 〔発明の効果〕

以上説明したように、本発明に係る入力保護回路を備えた半導体集積回路装置は、単一の分離島領域内に、抵抗保護ダイオードのコンタクト領域とこれに隣接すると共に逆導電型の電流制限抵抗層が形成され、コンタクト領域および電流制限抵抗層の一部に導電接触する入力端子パッドが設けられている点に特徴を有するものであるから、次の効果を奏する。

即ち、単一の分離島領域内に入力保護回路の2素子が緻密に作り込まれているから、占有面積の縮少化が実現され、チップサイズの小型化およびコストダウンを図ることができる。

#### 4. 図面の簡単な説明

第1図は、本発明の一実施例における入力保護回路を示す回路構成図である。

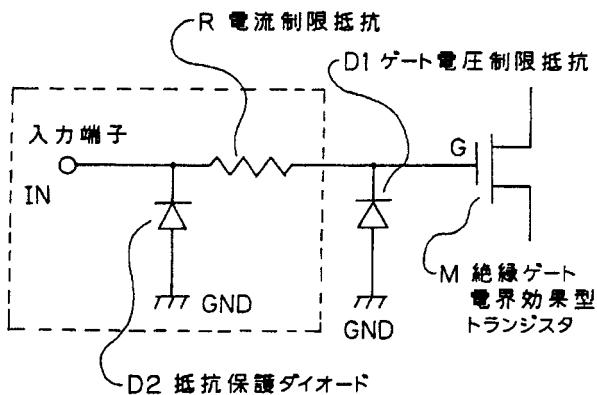
第2図は、同入力保護回路に係る半導体構造の平面図である。

第3図は、第2図中のⅢ-Ⅲ線に沿って切断した状態を示す切断矢視図である。

第4図は、従来の入力保護回路の一例を示す回路構成図である。

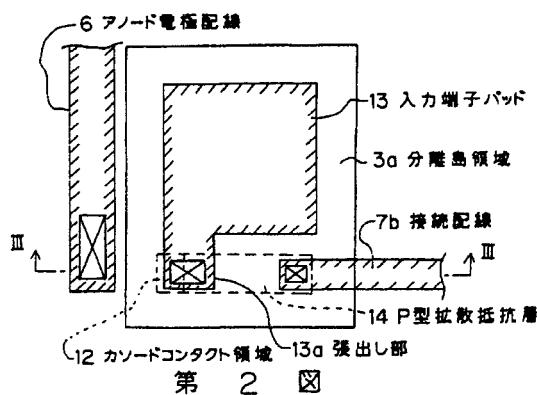
第5図は、同従来例の半導体構造を示す断面図である。

M……絶縁ゲート電界効果型トランジスタ、D1……ゲート電圧制限ダイオード、R……電流制限抵抗、D2……抵抗保護ダイオード、1……p型半導体基板、2a……高濃度n型埋込み層、3a……低濃度n型の分離島領域、4a, 4b……p型アイソレイション領域、6……アノード電極配線、7b……接続配線、9……シリコン酸化膜、10……表面保護膜、12……高濃度n型のカソードコンタクト領域、13……入力端子パッド、13a……張出し部、14……p型拡散抵抗層。

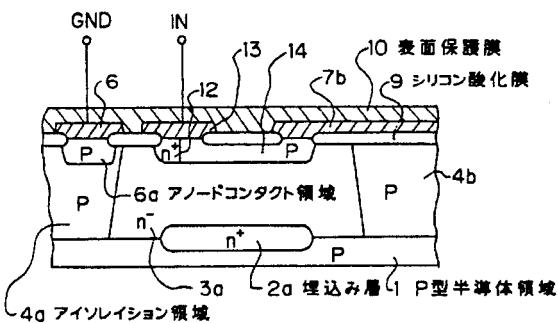


第 1 図

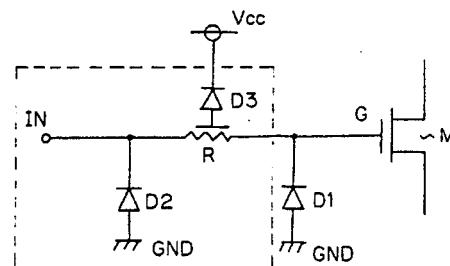
代理人弁理士 山 口 雄



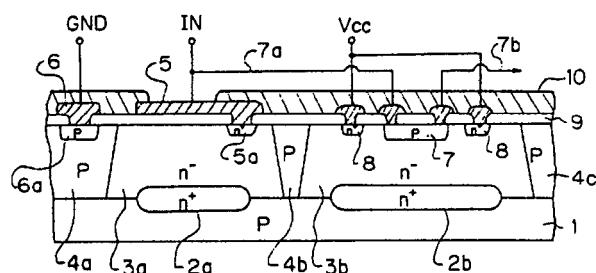
第 2 図



第 3 図



第 4 図



第 5 図